



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2002-0086347  
Application Number

출원 년 월 일 : 2002년 12월 30일  
Date of Application DEC 30, 2002

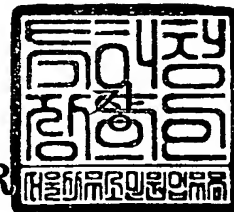
출원인 : 동부전자 주식회사  
Applicant(s) DONGBU ELECTRONICS CO., LTD.



2003 년 09 월 19 일

특 허 청

COMMISSIONER





## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0045
【제출일자】	2002. 12. 30
【발명의 명칭】	반도체 장치의 콘택트 홀 형성 방법
【발명의 영문명칭】	METHOD FOR FORMING A CONTACT HOLE IN A SEMICONDUCTOR DEVICE
【출원인】	
【명칭】	동부전자 주식회사
【출원인코드】	1-1998-106725-7
【대리인】	
【성명】	장성구
【대리인코드】	9-1998-000514-8
【포괄위임등록번호】	1999-059722-7
【대리인】	
【성명】	김원준
【대리인코드】	9-1998-000104-8
【포괄위임등록번호】	1999-059725-9
【발명자】	
【성명의 국문표기】	정병현
【성명의 영문표기】	JUNG, Byung Hyun
【주민등록번호】	641017-1480219
【우편번호】	143-801
【주소】	서울특별시 광진구 광장동 578 금호아파트 103-908
【국적】	KR
【발명자】	
【성명의 국문표기】	서보민
【성명의 영문표기】	SEO, Bo Min
【주민등록번호】	730612-1069412
【우편번호】	137-776
【주소】	서울특별시 서초구 서초동 진흥아파트 7-205
【국적】	KR

【취지】 특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인  
장성구 (인) 대리인  
김원준 (인)

## 【수수료】

【기본출원료】	11	면	29,000	원
【가산출원료】	0	면	0	원
【우선권주장료】	0	건	0	원
【심사청구료】	0	항	0	원
【합계】	29,000	원		
【첨부서류】	1. 요약서·명세서(도면)_1통			

**【요약서】****【요약】**

반도체 장치의 콘택트 홀 형성 방법을 개시한다.

본 발명은 홀 크기가  $0.2\mu\text{m}$ 이하, 단차비가 5 이상인 미세 콘택트 홀에서의 확산 방지막의 특성을 개선하기 위하여 LPCVD 방식으로 실리콘을 증착한 후 이방성 식각으로 실리콘 스페이서(Si spacer)를 형성한다. 콘택트 홀 벽면에 있는 실리콘에 같은 식각 장비에서 ICP(Inductive Coupled Plasma) 방식으로  $\text{NH}_3$  플라즈마 처리를 하거나,  $\text{N}_2$  또는  $\text{NH}_3$  분위기의 열처리 장비에서 어닐링(annealing) 처리를 하여 SiN 스페이서를 형성함으로써 이후 증착되는 CVD TiN의 확산 방지막의 콘택트 홀 측벽을 통한 누설 전류 특성을 개선한다.

따라서, 본 발명은 배선 신뢰도를 향상시키고, 나아가서 반도체 수율을 높이는 효과가 있다.

**【대표도】**

도 2e

**【명세서】****【발명의 명칭】**

반도체 장치의 콘택트 홀 형성 방법{METHOD FOR FORMING A CONTACT HOLE IN A SEMICONDUCTOR DEVICE}

**【도면의 간단한 설명】**

도 1은 종래의 반도체 장치의 콘택트 홀 형성 과정을 설명하기 위한 공정 단면도,

도 2a 내지 도 2e는 본 발명의 바람직한 실시예에 따른 반도체 장치의 콘택트 홀 형성 과정을 설명하기 위한 공정 단면도.

<도면의 주요 부분에 대한 부호의 설명>

- |             |              |
|-------------|--------------|
| 1 : 기판      | 2 : 콘택트 홀    |
| 3 : 확산방지막   | 4 : 텅스텐      |
| 5 : 금속배선    | 6 : Si       |
| 7 : Si 스페이서 | 8 : SiN 스페이서 |

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<8> 본 발명은 반도체 장치의 콘택트 홀 형성 기술에 관한 것으로, 특히, 확산방지막의 콘택트 홀 측벽을 통한 누설전류 특성을 개선하는데 적합한 반도체 장치의 콘택트 홀 형성 방법에 관한 것이다.

- <9> 도 1은 종래의 전형적인 반도체 장치의 콘택트 홀 형성 기술을 설명하기 위한 공정 단면도이다.
- <10> 도 1에 도시한 바와 같이, 반도체 기판(1)상에 절연막을 형성하고, 이러한 절연막을 부분적으로 식각하여 반도체 기판(1)의 활성영역을 노출시키는 콘택트 홀(2)을 갖는 절연막 패턴을 형성한다.
- <11> 이 미세 콘택트 홀(2) 내부에 스텝 커버리지(step coverage)가 우수한 CVD TiN막을 증착하여 확산 방지막(3)을 형성한다.
- <12> 그리고, 콘택트 홀(2) 내부에 텅스텐(4)을 매립한 다음 Al 배선막(5)을 증착시킨다.
- <13> 이때, 이러한 TiN막(3)은 MOCVD 방식으로 증착하여 막내에 C, N, O의 불순물 원자들이 많아 저항이 높고 누설 전류 특성이 열악하기 때문에, N<sub>2</sub>와 H<sub>2</sub> 플라즈마 처리로 막질 특성을 개선할 필요가 있다.
- <14> 그러나, 이러한 플라즈마 처리 방법으로는 콘택트 홀(2)의 바닥과 홀(2) 윗 부분은 처리되지만, 홀(2)의 측벽은 처리되지 않아 측벽을 통한 확산 방지막(3) 특성 저하로 측면 홀로의 누설 전류가 발생하여 배선 신뢰도가 떨어질 수 있다는 문제가 야기되었다.

【발명이 이루고자 하는 기술적 과제】

- <15> 따라서, 본 발명은 상술한 문제를 해결하기 위해 안출한 것으로, 홀 내의 측벽에만 Si가 남도록 이방성 식각한 후 플라즈마 또는 열처리 공정에 의해 누설 전류 억제막인 SiN막을 측벽에 형성함으로써 배선 신뢰도를 향상시키도록 한 반도체 장치의 콘택트 홀 형성 방법을 제공하는데 그 목적이 있다.

<16> 이러한 목적을 달성하기 위한 본 발명의 바람직한 실시예에 따르면, 반도체 기판상에 절연막을 형성하고, 절연막을 부분 식각하여 반도체 기판의 활성영역을 노출시키는 콘택트 홀을 갖는 절연막 패턴이 형성되는 반도체 장치의 콘택트 홀 형성 방법에 있어서, 콘택트 홀 측면에 실리콘막을 증착하는 제 1 단계와;  $\text{Cl}_2$ 와  $\text{HBr}$  가스 분위기의 식각 장비내에서 이방성 식각으로 실리콘 스페이서를 형성하는 제 2 단계와; 동일한 식각 장비내에서 플라즈마 밀도를 증가시켜 콘택트 홀 측벽을  $\text{NH}_3$  플라즈마 처리함으로써, 콘택트 홀 측벽에 실리콘 질화막 스페이서를 형성하는 제 3 단계와; 실리콘 질화막 스페이서 상에 확산 방지막을 증착하는 제 4 단계와; CVD 기법에 의해 콘택트 홀을 텅스텐으로 매립한 후 CMP 공정을 수행하고, 콘택트 홀 상에 Al 배선막을 증착하는 제 5 단계를 포함하는 반도체 장치의 콘택트 홀 형성 방법을 제공한다.

#### 【발명의 구성 및 작용】

- <17> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예에 대하여 상세하게 설명한다.
- <18> 도 2a 내지 도 2e는 본 발명의 바람직한 실시예에 따른 반도체 장치의 콘택트 홀 형성 방법을 설명하기 위한 공정 단면도이다.
- <19> 먼저, 반도체 기판(1)상에 절연막을 형성하고, 이러한 절연막을 부분적으로 식각하여 반도체 기판(1)의 활성영역을 노출시키는 콘택트 홀을 갖는 절연막 패턴을 형성한다.
- <20> 그리고, 도 2a에 도시한 바와 같이 고단차, 미세 콘택트 홀에서 홀 측면의 누설 전류 특성을 개선하기 위한 실리콘막(6)을 예를 들어, 50 내지 200Å 정도의 두께로 증착한다.
- <21> 이러한 실리콘막(6)의 증착 방법은 500 내지 700℃의 온도에서  $\text{SiH}_4$  가스를 1 내지 5slm 주입하고 0.1 내지 1 Torr의 노(furnace) 압력에서 실리콘을 증착한다.

- <22> 이후, 도 2b에서는  $\text{Cl}_2$ 와  $\text{HBr}$  가스 분위기에서 챔버 압력이 1 내지 50mTorr를 유지하는 이방성 식각으로 Si 스페이서(7)를 형성한다.
- <23> 이때, 이러한 식각 가스를 챔버내에 주입하는데 있어서,  $\text{Cl}_2$ 는 10 내지 50sccm,  $\text{HBr}$ 은 100 내지 300sccm으로 설정하는 것이 바람직할 것이다.
- <24> 도 2c에서는, 동일한 식각 장비내에서 플라즈마 밀도를 증가시켜 측벽에 Si막(6)의 질화가 잘 되도록 ICP(Inductive Coupled Plasma) 방식으로  $\text{NH}_3$  플라즈마 처리함으로써, 콘택트 홀 측벽에 SiN 막의 스페이서(8)를 형성한다. 이때, 챔버는, 바람직하게는, 1 내지 100mTorr 압력과 10 내지 100sccm의  $\text{NH}_3$  가스 분위기를 유지한다.
- <25> 또한, 다른 실시예로서, 플라즈마 처리 대신  $\text{N}_2$  또는  $\text{NH}_3$ 의 가스의 열처리 분위기에서 어닐링 처리하여 SiN막의 스페이서(8)를 형성할 수도 있다. 이때, 열처리 조건은 5 내지 20slm의  $\text{N}_2$ 와  $\text{NH}_3$  가스 주입, 600 내지 800℃의 온도분위기에서 실시한다.
- <26> 이후, 도 2d에서는 SiN의 스페이서 막(8)위에 확산 방지막인 CVD TiN 막(3)을 증착한다. 이러한 확산 방지막(3)은, 바람직하게는 25 내지 150Å 두께로 증착될 수 있다.
- <27> 도 2e에서는, CVD 기법에 의해 콘택트 홀을 텅스텐(W)(4)으로 매립한 후 CMP 공정을 수행하여 콘택트 홀에만 텅스텐(4)이 남도록 한다.
- <28> 끝으로, 콘택트 홀 위에 Al 배선막(5)을 증착하여 본 공정을 종료한다.

#### 【발명의 효과】

- <29> 이상 설명한 바와 같이, 본 발명은, 미세 콘택트 홀 내의 누설 전류 특성을 개선하기 위하여 Si올 홀 내의 측벽에만 남도록 이방성 식각한 후, 동일 장비에서  $\text{NH}_3$  플라즈마 처리 또는



$N_2$ 와  $NH_3$  열처리로 측벽에 누설 전류 억제막인 SiN을 형성하여 배선 신뢰도를 향상시키는 잇점이 있다.

<30>      이상, 본 발명을 실시예에 근거하여 구체적으로 설명하였지만, 본 발명은 이러한 실시예에 한정되는 것이 아니라, 그 요지를 벗어나지 않는 범위내에서 여러 가지 변형이 가능한 것은 물론이다.

**【특허청구범위】****【청구항 1】**

반도체 기판상에 절연막을 형성하고, 상기 절연막을 부분 식각하여 상기 반도체 기판의 활성영역을 노출시키는 콘택트 홀을 갖는 절연막 패턴이 형성되는 반도체 장치의 콘택트 홀 형성 방법에 있어서,

상기 콘택트 홀 측면에 실리콘막을 증착하는 제 1 단계와;

$\text{Cl}_2$ 와  $\text{HBr}$  가스 분위기의 식각 장비내에서 이방성 식각으로 실리콘 스페이서를 형성하는 제 2 단계와;

상기 식각 장비내에서 플라즈마 밀도를 증가시켜 상기 콘택트 홀 측벽을  $\text{NH}_3$  플라즈마 처리함으로써, 상기 콘택트 홀 측벽에 실리콘 질화막 스페이서를 형성하는 제 3 단계와;

상기 실리콘 질화막 스페이서 상에 확산 방지막을 증착하는 제 4 단계와;

CVD 기법에 의해 상기 콘택트 홀을 텅스텐으로 매립한 후 CMP 공정을 수행하고, 상기 콘택트 홀 상에 Al 배선막을 증착하는 제 5 단계를 포함하는 반도체 장치의 콘택트 홀 형성 방법.

**【청구항 2】**

제 1 항에 있어서,

상기 실리콘막은, 500 내지 700℃의 온도에서  $\text{SiH}_4$  가스를 1 내지 5slm 주입하고, 0.1 내지 1 Torr의 노(furnace) 압력에서 증착되는 것을 특징으로 하는 반도체 장치의 콘택트 홀 형성 방법.

**【청구항 3】**

제 1 항에 있어서,

상기  $\text{Cl}_2$ 는 10 내지 50sccm, 상기  $\text{HBr}$ 은 100 내지 300sccm으로 챔버내에 주입되며, 상기 챔버 압력은 1 내지 50mTorr를 유지하는 것을 특징으로 하는 반도체 장치의 콘택트 홀 형성 방법.

**【청구항 4】**

제 1 항에 있어서,

상기  $\text{NH}_3$  플라즈마 처리에는 ICP(Inductive Coupled Plasma) 방식이 적용되는 것을 특징으로 하는 반도체 장치의 콘택트 홀 형성 방법.

**【청구항 5】**

제 1 항에 있어서,

상기  $\text{NH}_3$  플라즈마 처리는 1 내지 100mTorr 압력과 10 내지 100sccm의  $\text{NH}_3$  가스 분위기를 유지하는 것을 특징으로 하는 반도체 장치의 콘택트 홀 형성 방법.

**【청구항 6】**

제 1 항에 있어서,

상기 제 3 단계는,

$\text{N}_2$  또는  $\text{NH}_3$  가스의 열처리 분위기에서 어닐링 처리하여 상기 실리콘 질화막 스페이서를 형성하는 단계를 더 구비하는 것을 특징으로 하는 반도체 장치의 콘택트 홀 형성 방법.

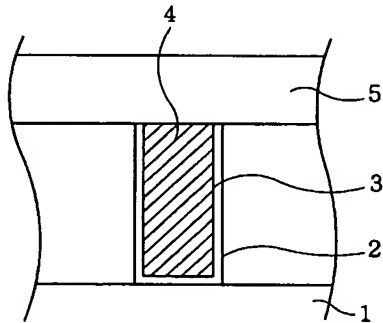
【청구항 7】

제 6 항에 있어서,

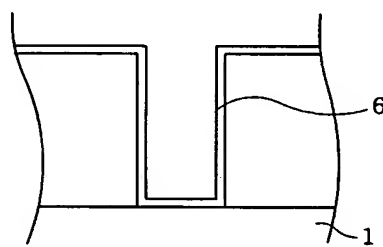
상기 열처리 분위기 조건은 5 내지 20slm의 N<sub>2</sub>와 NH<sub>3</sub> 가스 주입, 600 내지 800℃의 온도  
인 것을 특징으로 하는 반도체 장치의 콘택트 홀 형성 방법.

【도면】

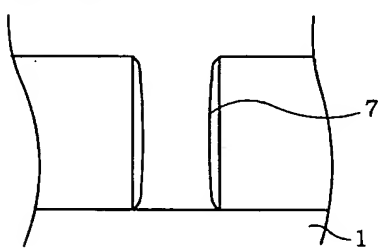
【도 1】



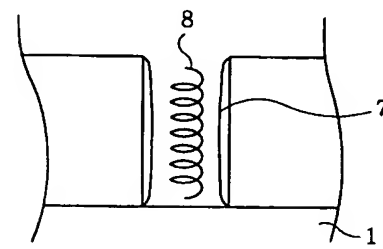
【도 2a】



【도 2b】



【도 2c】

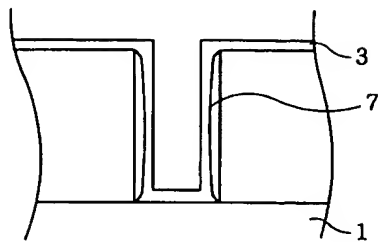




1020020086347

출력 일자: 2003/9/24

【도 2d】



【도 2e】

